

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

DIALOG(R)File 352:DERWENT WPI  
(c)1999 Derwent Info Ltd. All rts. reserv.

001093953

WPI Acc No: 74-J0285V/197440

Scanning appts. for matrix display panel - gives moving half-tone images  
from short coded video signals, with fine brightness control

Patent Assignee: MATSUSHITA ELEC IND CO LTD (MATU )

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
US 3838209	A	19740924					197440 B
GB 1396486	A	19750604					197523
DE 2329523	B	19751211					197551
CA 995784	A	19760824					197637

Priority Applications (No Type Date): JP 7294771 A 19720920; JP 7257493  
A 19720608; JP 7262204 A 19720620; JP 7262212 A 19720620

Title Terms: SCAN; APPARATUS; MATRIX; DISPLAY; PANEL; MOVE; HALF;  
TONE; IMAGE; SHORT; CODE; VIDEO; SIGNAL; FINE; BRIGHT; CONTROL

Derwent Class: W02; W03; W04

International Patent Class (Additional): H04N-003/12; H04N-005/70

File Segment: EPI

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 1999 European Patent Office. All rts. reserv.

7773467

Basic Patent (No,Kind,Date): DE 2329523 A1 731220 <No. of Patents: 015>

PATENT FAMILY:

CANADA (CA)

Patent (No,Kind,Date): CA 995784 A1 760824

SCANNING APPARATUS FOR A MATRIX DISPLAY PANEL (English; French)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU; SATO TERUO; TAKEDA  
HITOSHI; YOSHIYAMA MASAMI

Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A  
720620; JP 7262212 A 720620; JP 7294771 A 720920

Applic (No,Kind,Date): CA 173611 A 730608

National Class: \* CA 340-174

Language of Document: English; French

GERMANY (DE)

Patent (No,Kind,Date): DE 2329523 A1 731220

ABTASTEINRICHTUNG FUER BILDSCHIRMNETZWERKE (German)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU (JP); SATO TERUO (JP); TAKEDA  
HITOSHI (JP); YOSHIYAMA MASAMI (JP)

Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A  
720620; JP 7262212 A 720620; JP 7294771 A 720920

Applic (No,Kind,Date): DE 2329523 A 730606

IPC: \* H04N-003/12

Language of Document: German

Patent (No,Kind,Date): DE 2329523 B2 751211

ABTASTEINRICHTUNG FUER EINE BILDPLATTE (German)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU (JP); SATO TERUO (JP); TAKEDA  
HITOSHI (JP); YOSHIYAMA MASAMI (JP)

Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A  
720620; JP 7262212 A 720620; JP 7294771 A 720920

Applic (No,Kind,Date): DE 2329523 A 730606

IPC: \* H04N-003/14

Language of Document: German

Patent (No,Kind,Date): DE 2329523 C3 760715

ABTASTEINRICHTUNG FUER EINE BILDPLATTE (German)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): TSUCHIYA MITSU HARU (JP); SATO TERUO (JP); TAKEDA  
HITOSHI (JP); YOSHIYAMA MASAMI (JP)  
Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A  
720620; JP 7262212 A 720620; JP 7294771 A 720920  
Applic (No,Kind,Date): DE 2329523 A 730606  
IPC: \* H04N-003/14  
Language of Document: German

GREAT BRITAIN (GB)

Patent (No,Kind,Date): GB 1396486 A 750604  
DISPLAY APPARATUS (English)  
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD  
Priority (No,Kind,Date): JP 7257493 A 720608; JP 7262204 A  
720620; JP 7262212 A 720620; JP 7294771 A 720920  
Applic (No,Kind,Date): GB 7327526 A 730608  
IPC: \* H04N-003/12  
Language of Document: English

JAPAN (JP)

Patent (No,Kind,Date): JP 49018217 A2 740218  
Priority (No,Kind,Date): JP 7257493 A 720608  
Applic (No,Kind,Date): JP 7257493 A 720608  
IPC: \* H04N-003/12  
Language of Document: Japanese  
Patent (No,Kind,Date): JP 49022815 A2 740228  
Priority (No,Kind,Date): JP 7262204 A 720620  
Applic (No,Kind,Date): JP 7262204 A 720620  
IPC: \* H04N-003/12  
Language of Document: Japanese  
Patent (No,Kind,Date): JP 49022816 A2 740228  
Priority (No,Kind,Date): JP 7262212 A 720620  
Applic (No,Kind,Date): JP 7262212 A 720620  
IPC: \* H04N-003/12  
Language of Document: Japanese  
Patent (No,Kind,Date): JP **49052598** A2 740522  
Priority (No,Kind,Date): JP 7294771 A 720920  
Applic (No,Kind,Date): JP 7294771 A 720920  
IPC: \* H04N-003/12  
Language of Document: Japanese  
Patent (No,Kind,Date): JP 77036372 B4 770914  
Priority (No,Kind,Date): JP 7257493 A 720608  
Applic (No,Kind,Date): JP 7257493 A 720608  
IPC: \* H04N-003/14; G06K-015/18  
Language of Document: Japanese

Patent (No,Kind,Date): JP 77040931 B4 771015  
Priority (No,Kind,Date): JP 7262212 A 720620  
Applic (No,Kind,Date): JP 7262212 A 720620  
IPC: \* H04N-003/14; G06K-015/18; H04N-005/70  
Language of Document: Japanese  
Patent (No,Kind,Date): JP 78000895 B4 780112  
Priority (No,Kind,Date): JP 7262204 A 720620  
Applic (No,Kind,Date): JP 7262204 A 720620  
IPC: \* H04N-005/66; G06K-015/18  
Language of Document: Japanese  
Patent (No,Kind,Date): JP 78042208 B4 781109  
Priority (No,Kind,Date): JP 7294771 A 720920  
Applic (No,Kind,Date): JP 7294771 A 720920  
IPC: \* H04N-005/66; G06K-015/18  
Language of Document: Japanese

UNITED STATES OF AMERICA (US)

Patent (No,Kind,Date): US 3838209 A 740924  
SCANNING APPARATUS FOR A MATRIX DISPLAY PANEL (English)  
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD  
Author (Inventor): TAKEDA H; YOSHIYAMA M; TSUCHIYA M; SATO T  
Priority (No,Kind,Date): JP 7262212 A 720620; JP 7294771 A 720920; JP 7257493 A 720608; JP 7262204 A 720620  
Applic (No,Kind,Date): US 367184 A 730605  
National Class: \* US 178007300D  
IPC: \* H04N-005/70  
Derwent WPI Acc No: \* G 74-J0285V  
Language of Document: English

---



第1図及び第2図により説明する。

第1部はY軸を高度制御電圧とし映像信号レベルを3ビットのデジタル信号として高度制御するようにしたマトリクス表示装置を示すものである。図中においてマトリクス表示面1は互に直交する二本のX軸電線 $X_1, X_2, X_3, \dots, X_m$ と二本のY軸電線 $Y_1, Y_2, Y_3, \dots, Y_m$ 、その交点に配された発光素子で構成され、X軸電線間隔2において1本ずつX軸電線が選択される。その選択されたX軸電線にはX軸パルス発生部2の各プロダクト $(2-1), (2-2), (2-3), \dots, (2-m)$ によりX軸駆動パルスが与えられる。一方Y軸駆動部はY軸電線間隔3のY軸駆動回路 $D_1, D_2, D_3, \dots, D_m$ を通して各Y軸電線 $Y_1, Y_2, Y_3, \dots, Y_m$ に与えられる。一方Y軸駆動回路3の高度制御回路は3個の2入力ナンドゲート回路を1組として構成されている。すなわち、Y軸電線 $Y_1$ の高度制御回路はナンドゲート回路 $GA_1, GB_1, GC_1$ からなり、その出力信号はY軸駆動回路 $D_1$ を通してY軸電線 $Y_1$ に印加される。

$B_m$ （以下単にBで示す）のみが論理値「1」のときは、高度制御パルス $CP_B$ のパルス期間だけ、またメモリレジスタ $C_1, C_2, C_3, \dots, C_m$ （以下単にCで示す）のみが論理値「1」のときは高度制御パルス $CP_C$ のパルス期間だけY軸電線に駆動信号が与えられる。すなわちメモリレジスタのうちの2個、たとえばレジスタAとBが論理値「1」になり同Cのみが論理値「0」であると、高度制御パルス $CP_A, CP_B$ のパルス期間経過後に対応するY軸電線には駆動信号が与えられる。このようにして上記構成の装置では、3個のメモリレジスタに書き込まれた内容により8段階の異なる合計時間中による駆動信号をY軸電線に与えることができ、8段階の高度制御が可能となる。なお第2図は8段階の制御レベルについて1X軸選択期間 $t_x$ 内の高度制御パルスとY軸駆動信号の状態を示しており、同図における高度レベルとメモリレジスタA, B, Cの論理値との関係は次表に示す通りである。

として4つのY軸電線 $Y_1, Y_2, Y_3, \dots, Y_m$ についても同様にそれぞれ3個のナンドゲート回路と1個のY軸駆動回路とが接続されており、3個のゲート回路のいずれか1個でも論理値が1になるとその出力信号により駆動回路が通過し、導通されているY軸電線に駆動信号が与えられるようになっている。一方各ゲート回路の入力信号の1個である高度制御パルスは、第2図に示すようにX軸電線の間隔1本が選択されている一定の $M_x$ を7等分した時間を1として高度制御パルス $CP_A, CP_B, CP_C$ のパルス巾比が1:2:4となるように重みづけをしてある。たとえばゲート回路 $GA_1, GA_2, GA_3, \dots, GA_m$ ではメモリレジスタ $A_1, A_2, A_3, \dots, A_m$ （以下単にAで示す）と高度制御パルス $CP_A$ との論理値が与えられるので、メモリレジスタのうちの1個 $A_m$ のみが論理値「1」のときは高度制御パルス $CP_A$ のパルス期間だけY軸電線 $Y_m$ に駆動信号が与えられ、Y軸電線 $Y_m$ と選択駆動されているX軸電線との交点の発光素子のみが発光する。同様にしてメモリレジスタ $B_1, B_2, \dots$

高度レベル	メモリレジスタ		
	A	B	C
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

以上の表から明らかなように上記の高度制御を行なう装置によれば、たとえば3ビットのデジタル信号で高度制御するときは巾及び位置の異なる3個のパルスを選択的にとり出して発光素子に駆動信号を与えるようにするので高度制御のための回路構成はメモリレジスタとゲート回路のみとなり、その動作は安定にして装置回路の低用により小型化も可能である。しかしここで問題となるのは広い高度範囲にわたって必要で中間調を表示

すようになり、映像表示するとき、映像信号のレベルが、シンボルより映像表示しようとする映像の暗い部分を制御するにわたって狭いパルス巾の信号から明るい部分を制御する広いパルス巾の信号まで逐次制御されなければならないことである。すなわち、3ビット程度のデジタル信号ではビット数不足で満足な映像制御はできないのである。ビット数を多く大巾に増大することは回路構成が著しく複雑となり、消費電力が大きくなって、しかも消費電力が大きくなってしまい、このようなことからその非効率化が不適当である。

本発明は以上のような従来の欠点を修正すべくなされたもので、その目的とするところは簡単な回路構成で、逐次制御する映像の映像制御ができ、特に高いレベルの映像から明るいレベルの映像まで一掃に逐次映像制御できるようにしたマルチスweep制御を提供することである。すなわち本発明ではたとえば3ビットのデジタル信号で逐次制御するに代りして、逐次制御を複数回に分けて行ない、しかも巾を狭くつけた3回の逐

次制御される時間  $t_x$  中に2回の逐次制御ができるので通常のテレビジョン信号の映像表示等に有利である。いま1回目の逐次制御をたとえば  $t_x$  の期間で行うものとするときスイッチ制御回路 SWC が1回目を指定する時間  $t_{swc1}$  と2回目を指定する時間  $t_{swc2}$  の関係は第4図のようになり、時間  $t_{swc1}$  では狭いパルス  $CP_{a1}$ 、 $CP_{b1}$ 、 $CP_{c1}$  を発生して暗いレベルでの逐次制御や明るいレベルでの暗い映像の制御に使用され、時間  $t_{swc2}$  では1回目より広いパルス  $CP_{a2}$ 、 $CP_{b2}$ 、 $CP_{c2}$  が発生して明るいレベルでの逐次制御に使用される。よってこの場合においては、逐次制御はパルス巾の小さい逐次制御パルスからパルス巾の大きなものまでの逐次のパルスの組合せで発光素子の発光時間合計を制御することになり、暗いレベルの映像から明るいレベルの映像までの4時間内で画かく制御することができ、また、メモリレジスタ A、B、C の内容もスイッチ制御信号 SWC に同期して期間  $t_{swa1}$  と期間  $t_{swa2}$  で切替え、はじめの期間  $t_{swa1}$  で各メモリレジスタ A、B、C への番込み番号 SA、

逐次制御パルスのパルス巾を各回逐次変化させることにより逐次制御される逐次制御を逐次増大するもので、一定時間内の発光時間合計を広い範囲で変化させることが可能となる。

以下本発明にかかる装置の一実施例について図面より説明する。第3図は1水平走査期間中2回の逐次制御を行なうようにした、この実施例を示す構成図、第4図はその動作説明図である。

第3図において、その構成と第1図に示したそれとの異なるところは、3回の逐次制御パルス  $CP_a$ 、 $CP_b$ 、 $CP_c$  がスイッチ回路  $SW_a$ 、 $SW_b$ 、 $SW_c$  によって切替えられているところである。又各メモリレジスタ A、B、C の入力信号 SA、SB、SC がスイッチ回路  $SW_{A1}$ 、 $SW_{A2}$ 、 $SW_{A3}$ 、……、 $SW_{Am}$ 、 $SW_{B1}$ 、 $SW_{B2}$ 、 $SW_{B3}$ 、……、 $SW_{Bm}$ 、 $SW_{C1}$ 、 $SW_{C2}$ 、 $SW_{C3}$ 、……、 $SW_{Cm}$  によって切替えられるところである。そしてこれらすべてのスイッチ回路はスイッチ制御信号 SWC に同期して切替えられるところである。動作においては逐次制御を2回に分けて行なうところが異なっている。これは1本の支線が逐

10

SB、SC は逐次制御パルス  $CP_{a1}$ 、 $CP_{b1}$ 、 $CP_{c1}$  のパルス巾に対応して、映像信号レベルが3ビットのデジタル信号に変換されたものであり、期間  $t_{swc2}$  での各メモリレジスタ A、B、C への番込み番号 SA、SB、SC は逐次制御パルス  $CP_{a2}$ 、 $CP_{b2}$ 、 $CP_{c2}$  のパルス巾に対応して、映像信号レベルが3ビットのデジタル信号に変換されたものである。したがって逐次制御は1本の支線が逐次制御される  $t_x$  時間内に2回、すなわち1回目は期間  $t_{swa1}$  で、2回目は期間  $t_{swa2}$  でそれぞれ行なわれ、この2回の発光の合成された明るさで発光強度は決定される。したがって実際に逐次制御するに使用されるメモリレジスタや逐次制御ゲートは3ビット構成であるが、その逐次制御能力は6ビット分相当し狭いパルス巾の信号から広いパルス巾に至る広い範囲にわたって一掃にパルス巾を制御することが可能となる。なお本実施例について、各々のメモリレジスタにスイッチ回路を付加して切替えて番込みにより切替えてもたが、実際の回路構成ではメモリレジスタ





図 2

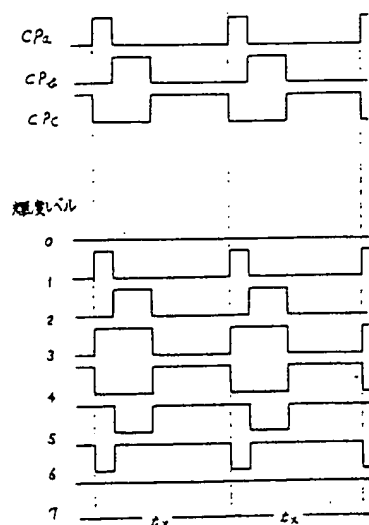


図 3

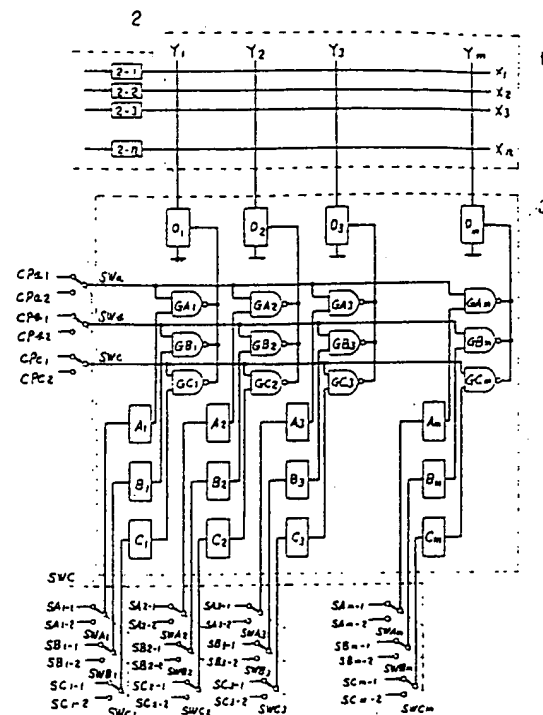
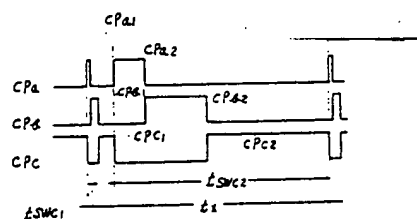


図 4



6 前記以外の発明者および代理人

(1) 発明者

大阪府門京市大宮門馬1006番地  
松下電器産業株式会社内  
ア佐 トウ プル オ夫

住 所	同	所			
氏 名	タケ	田	ヒロ	三	
住 所	同	所			
氏 名	ヨシ	山	ア	三	

(2) 代理人

大阪府門京市大宮門馬1006番地  
松下電器産業株式会社内  
G152) 弁理士 栗野 重 幸

## 手続補正書

昭和53年2月23日

## 特許法第17条の2による補正の掲載

昭和47年特許願第94771号(特開昭

49-42499号 昭和49年4月22日

発行公開特許公報49-4246号掲載)につ

いては特許法第17条の2による補正があったので

下記の通り掲載する。

庁内整理番号

日本分類

7013 44

111 E4

7323 46

977B4

7170 44

974F0

特許庁長官殿

## 1 事件の表示

昭和47年特許願第94771号

## 2 発明の名称

マトリクス表示装置

## 3 補正をする者

事件との関係 特許出願人  
住 所 大阪府門真市大字門真1006番地  
名 称 (582) 松下電器産業株式会社  
代 理 人 山 下 俊 彦

## 4 代 理 人 T 571

住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内

氏 名 (5971) 芥理士 中 尾 敏 男  
(ほか1名)

(出稿先 電話(東)437-1121 特許分室)

## 5 補 正 の 対 象

明細書の特許請求の範囲の欄  
明細書の発明の詳細な説明の欄  
明細書の図面の簡単な説明の欄

## 6. 補正の内容

- (1) 明細書の特許請求の範囲の記載を別紙の通り補正いたします。
- (2) 明細書第7頁第12行目の「従来装置」を「第1図に示すときマトリクス表示装置」と補正します。
- (3) 明細書第12頁第16行目の「従来のマトリクス表示装置の」を「マトリクス表示装置の原理的」と補正します。

## 2. 特許請求の範囲

複数のX軸電極と複数のY軸電極を有するマトリクス表示板と、前記X軸電極またはY軸電極のいずれか一方の電極を順次走査する駆動回路と、前記X軸電極またはY軸電極の他方の電極の各々に与える輝度制御信号を記憶する複数ビットの記憶回路を有し、この記憶回路のビット数の複数倍のビット数からなるデジタル信号で構成されスイッチ回路により1本の走査電極が選択駆動されている間に複数回に分けて切換えられて与えられる輝度制御信号を前記記憶回路は次の切換えまで記憶し、かつ、その記憶された信号の各ビットに重みづけして各輝度制御用電極の表示輝度を制御するための複数個の制御信号もスイッチ回路により前記輝度制御信号の切換えと同期して切換えて与えるように構成された輝度制御回路を具備してなるマトリクス表示装置。